

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

6238466

Basic Patent (No,Kind,Date): JP 62219574 A2 870926 <No. of Patents: 001>

SEMICONDUCTOR DEVICE (English)

Patent Assignee: SHARP KK

Author (Inventor): SATO HIROYA; IGUCHI KATSUJI

IPC: *H01L-029/78; H01L-027/12

Derwent WPI Acc No: G 87-310466

JAPIO Reference No: 120080E000100

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 62219574	A2	870926	JP 8663391	A	860319 (BASIC)

Priority Data (No,Kind,Date):

JP 8663391 A 860319

DIALOG(R)File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.
02302674 **Image available**
SEMICONDUCTOR DEVICE
PUB. NO.: 62-219574 [JP 62219574 A]
PUBLISHED: September 26, 1987 (19870926)
INVENTOR(s): SATO HIROYA
 IGUCHI KATSUJI
APPLICANT(s): SHARP CORP [000504] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 61-063391 [JP 8663391]
FILED: March 19, 1986 (19860319)
INTL CLASS: [4] H01L-029/78; H01L-027/12
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
 MOS)
JOURNAL: Section: E, Section No. 590, Vol. 12, No. 80, Pg. 100, March
 12, 1988 (19880312)

ABSTRACT

PURPOSE: To obtain a thin-film transistor having a low threshold voltage and capable of providing high ON current, by doping a channel region with the same type of impurity as that in source and drain regions.

CONSTITUTION: A glass substrate 1 is provided therein with a polysilicon film 2 serving as an active layer. An SiO(sub 2) film 3 serving as a gate insulation film is formed, and boron ions (sup 11)B(sup +) are implanted so that the Si film is doped with boron. After the surface is cleaned, a polysilicon film is formed in a region corresponding to a gate electrode 4 and boron ions (sup 11)B(sup +) are implanted therein. Accordingly, the source and drain regions S and D in the polysilicon film 2 are doped with the same type of impurity as the channel region C is. Therefore, localized levels present on the grain boundary can be covered with carriers and the threshold voltage of the thin-film transistor can be decreased. Further, ON current is also increased.

⑨ 日本国特許庁(J P)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-219574

⑭ Int. Cl.⁴

H 01 L 29/78
27/12

識別記号

庁内整理番号
8422-5F
7514-5F

⑬ 公開 昭和62年(1987)9月26日

審査請求 未請求 発明の数 1 (全4頁)

⑯ 発明の名称 半導体装置

⑰ 特 願 昭61-63391

⑱ 出 願 昭61(1986)3月19日

⑲ 発 明 者	佐 藤 浩 哉	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑲ 発 明 者	井 口 勝 次	大阪市阿倍野区長池町22番22号	シャープ株式会社内
⑲ 出 願 人	シャープ株式会社	大阪市阿倍野区長池町22番22号	
⑲ 代 理 人	弁理士 青山 稔	外2名	

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 多結晶シリコン薄膜を半導体活性層とするMIS型電界効果トランジスタよりなる半導体装置において、トランジスタのソース、ドレイン領域と同様の不純物をチャネル領域にドーピングしたことを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、テレビジョン等に応用可能なアクティブマトリクス方式の液晶ディスプレイ用薄膜トランジスタに関し、特に、駆動回路をモノリシックに集積したディスプレイにおける駆動回路用薄膜トランジスタに関するものである。

(従来の技術)

近年、薄膜トランジスタ技術の発達により、アクティブマトリクス方式の液晶ディスプレイの特性が改良され、フルカラーテレビジョンとして商

品化されている。このような薄膜ディスプレイは今後ともさらにテレビジョンや陰極線管(CRT)等への応用が進むと考えられる。

現在までに商品化されているアクティブマトリクス方式の液晶ディスプレイでは、スイッチングマトリクスアレイの駆動回路はディスプレイ上に集積化されておらず、基板上の駆動回路と多数の配線を介して接続する必要があった。これに必要な実装工程を省略しディスプレイをさらに小型で安価にするためには、駆動回路をディスプレイ基板上にモノリシックに集積する必要がある。

駆動回路を集積化したディスプレイデバイス用の薄膜トランジスタとしては、金属酸化物半導体集積回路(MOSIC)工程によって作製されたMIS型多結晶シリコン薄膜電界効果トランジスタが実用レベルにある。

多結晶シリコン薄膜トランジスタは、高速性、信頼性等の面で元素化アモルファスシリコン等の他の薄膜トランジスタに比べ優れている。

(発明が解決しようとする問題点)

多結晶シリコン薄膜トランジスタをMOSIC工程に準じて形成する場合には、プロセス最高温度が1000℃以上に達し、高価な石英ガラス基板を用いねばならない。ガラス基板を利用し、コスト低減をはかるためには、最高プロセス温度を600℃前後におさえた低温プロセスで多結晶シリコン薄膜トランジスタを形成する必要がある。

ところで、多結晶シリコン薄膜トランジスタでは、単結晶の場合と異なり、チャネル領域に結晶粒界が多数存在し、粒界に存在する局在単位がキャリアトラップとして作用する。したがって、ゲート電圧の印加によって半導体側に誘起された電荷はまず局在単位中に蓄積されるため、ドレイン電流の立ち上がり特性は悪く、閾値電圧の絶対値は大きくなる。

駆動回路を形成する場合には、この現象のために、電源電圧を高くせねばならず、閾値電圧の低減が是非必要である。高温プロセスにおいては結晶粒成長が起き、局在単位が低減される。一方、低温プロセスでは、水素プラズマ処理による局在

単位の水素によるターミネーション等が考えられるが、十分ではない。

本発明の目的は、アクティブマトリクス液晶ディスプレイ等において、スイッチングマトリクスアレイの駆動回路構成用トランジスタに適するような、閾値電圧が小さく、大きなON電流の得られる薄膜トランジスタを提供することにある。

(問題点を解決するための手段)

本発明に係る半導体装置は、多結晶シリコン薄膜を半導体活性層とするMIS型電界効果トランジスタよりなる半導体装置において、トランジスタのソース、ドレイン領域と同型の不純物をチャネル領域にドーピングしたことを特徴とする。

(作用)

本発明の要点は、MIS電界効果型トランジスタにおいて、チャネル領域にソース、ドレイン領域と同型の不純物を予めドーピングすることにある。この処理によって、結晶粒界に存在する局在単位を予めキャリアによって埋めることができ、相対的に閾値電圧を低減することができる。

-3-

チャネル領域のドーピング量は局在単位と対応し、多結晶膜の膜質によって決定されるが、およそ 10^{16}cm^{-3} から 10^{18}cm^{-3} の範囲にある。

(実施例)

本発明による多結晶シリコン薄膜トランジスタの実施例について添付の図面を参照して説明する。

第1図(a)~(f)に、薄膜トランジスタ形成プロセスを図式的に示す。パイレックスガラス基板1を有機洗浄し、次いで酸洗浄した後、真空蒸着法によってpoly Si膜を形成する。poly Si膜の形成は基板温度500℃、真空度 $3 \times 10^{-6}\text{Pa}$ 、成膜速度 1Å/sec の条件で行い、膜厚は1000Åであった。そして、フォトリソグラフィー法を利用し、活性層となるpoly Si部2を残し、六弗化硫黄(SF_6)ガスを用いるプラズマエッチング法によって他の部分を除去した(第1図(a))。

次いでモノシランガス(SiH_4)と酸素による常圧CVD法によってゲート絶縁膜となる SiO_2 膜3を形成した(第1図(b))。常圧CVD装置の基板温度は420℃で、 SiO_2 膜厚は1000Åで

-4-

あった。

次いで、ボロンイオン(B^+)をイオン注入法により50KeVで $1 \times 10^{18}\text{cm}^{-3}$ 注入した。これにより、poly Si部2に、ボロン(不純物)がドーピングされる。

表面洗浄の後、さらに前述の蒸着法を用いてpoly Si膜を5000Åの厚さに堆積し、フォトリソグラフィー法によってゲート電極4に相当する部分にのみpoly Si膜を残し、他の部分をエッチング除去した(第1図(c))。なお、ゲート寸法は、ゲート長4μm、ゲート幅6μmとした。

その後、常圧CVD法によって、イオン注入時の汚染防止用に500Å厚の SiO_2 膜5を形成し、イオン注入法によりボロンイオン(B^+)を50KeVで $3 \times 10^{18}\text{cm}^{-3}$ 注入した。これにより、poly Si部2のソース、ドレイン両領域S、Dに、上記のチャネル領域Cと同型の不純物をさらにドーピングする。

次に、 SiO_2 膜5の表面を200Åエッチングした後、層間絶縁膜となる5000Å厚の SiO_2

膜を常圧CVD法で形成し、ボロンの活性化のために窒素雰囲気中で500℃、1時間のアニールを行った(第1図(e))。

その後、純水蒸気1 Torr、RFパワー200Wにて発生させた水素プラズマ雰囲気中で、基板温度350℃で30分アニールを行った。

次に、ソース、ドレインS、D領域のそれぞれのコンタクトホール7、8をフォトリソグラフィ法によって開けし、AlSi膜を5000Å堆積した後、再びフォトリソグラフィ法によってソース、ドレイン配線9、10を形成した(第1図(f))。

最後に、水素雰囲気中で440℃、30分のアニールを行なった。

このプロセスの最高温度は500℃であり、ガラス基板11上に安定にトランジスタを形成するのが特徴である。

第2図に、このトランジスタの I_S-V_G 特性の測定結果を示す。活性層への注入を行わず、それ以外は全く同一のプロセスで作製した多結晶シリコントランジスタの動作特性(破線)と比較する

と、閾値電圧の絶対値が5V程度小さい方向に偏移し、また、ON電流も増加している。この閾値電圧の低減は、チャネル領域に予めソース、ドレイン両領域と同量の不純物をドーピングしたために、結晶粒界に存在する局在準位をキャリアによって埋めることができるためである。

なお、ドーピング原子の種類は、ボロンに限らず、適当なIII族、V族の原子を選べばよい。

また、チャネル領域のドーピング量は、局在準位量と対応し、多結晶膜質によって決定されるが、おおよそ 10^{18}cm^{-3} から 10^{19}cm^{-3} の範囲にある。

(発明の効果)

本発明により、多結晶シリコン中へソース、ドレイン領域と同量の不純物を注入することによって、薄膜トランジスタの閾値電圧を低減することができる。この手法により、液晶ディスプレイの駆動回路を形成すれば、駆動回路の電源電圧を低減でき、周辺回路コストを低減することができる。以上の点で、本発明は多結晶シリコントランジスタ

- 7 -

タの応用上極めて波及効果大きい。

4. 図面の簡単な説明

第1図(a)~(f)は、各々薄膜トランジスタ形成プロセスを順次に示す図である。

第2図は、多結晶シリコンへの不純物注入を行った試料と行っていない試料の I_S-V_G 特性のグラフである。

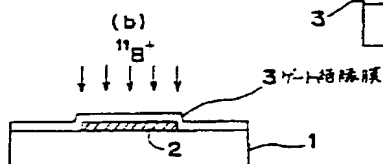
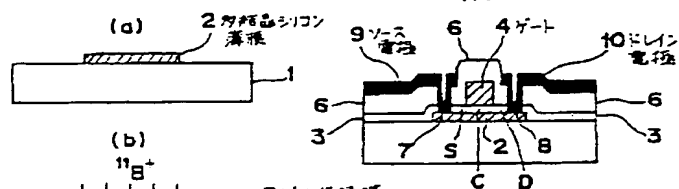
- 1…ガラス基板、
- 2…活性層となる多結晶シリコン、
- 3…ゲート絶縁膜、
- 4…ゲート多結晶シリコン、
- 5…イオン注入時の汚染防止用 SiO_2 膜、
- 6…層間絶縁 SiO_2 膜、
- 9…ソースAlSi配線、
- 10…ドレインAlSi配線、
- S…ソース領域、
- D…ドレイン領域、
- C…チャネル領域。

特許出願人 シャープ株式会社

代理人 弁理士 青山 福ほか2名

- 9 -

第 1 図



第 2 図

